

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Ryota NANJO, et al.

Serial Number: Not Yet Assigned

Filed: October 30, 2003

Customer No.: 38834

For: SEMICONDUCTOR DEVICE WITH FUSES

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

October 30, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-318908, filed on October 31, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Scott M. Daniels
Reg. No. 32,562

Atty. Docket No.: 032053
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SMD/amr

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 3 1 日
Date of Application:

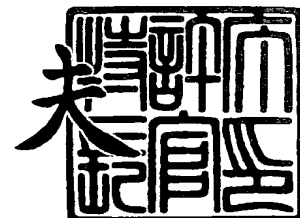
出 願 番 号 特 願 2 0 0 2 - 3 1 8 9 0 8
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 1 8 9 0 8]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 3 年 8 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 2 9 0 6

【書類名】 特許願

【整理番号】 0241357

【提出日】 平成14年10月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/06

【発明の名称】 半導体装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 南條 亮太

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 大塚 敏志

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 澤田 豊治

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 助川 和雄

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】**【識別番号】** 100091340**【弁理士】****【氏名又は名称】** 高橋 敬四郎**【電話番号】** 03-3832-8095**【選任した代理人】****【識別番号】** 100105887**【弁理士】****【氏名又は名称】** 来山 幹雄**【電話番号】** 03-3832-8095**【手数料の表示】****【予納台帳番号】** 009852**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9705794**【包括委任状番号】** 0109607**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 主表面を有する半導体基板と、
前記主表面上方に形成され、所定の切断点を有するフューズ素子を含むフューズ回路と、

前記フューズ回路下方の前記半導体基板表面に形成された第 1 トレンチアイソレーション領域と、

前記切断点を中心とした所定領域を除外して、前記第 1 トレンチアイソレーション領域を貫通して形成された複数の活性領域ダミーと、
を有する半導体装置。

【請求項 2】 さらに、前記各活性領域ダミーを覆うシリサイド層を有する請求項 1 記載の半導体装置。

【請求項 3】 さらに、前記各活性領域ダミーの半導体表面を覆う複数の絶縁膜を有する請求項 1 記載の半導体装置。

【請求項 4】 さらに、前記複数の活性領域ダミーの半導体表面を覆う連続した絶縁膜を有する請求項 1 記載の半導体装置。

【請求項 5】 さらに前記フューズ回路外の領域において前記半導体基板表面に形成された第 2 トレンチアイソレーション領域と、

前記第 2 トレンチアイソレーション領域を貫通して形成された活性領域と、

前記活性領域の表面を横断して形成された絶縁ゲート電極と、前記絶縁ゲート電極両側で前記活性領域に形成されたソース／ドレイン領域と、前記ソース／ドレイン領域表面に形成されたシリサイド層と、を備えた MOS トランジスタを含む主回路と、

を有する請求項 1 ～ 4 のいずれか 1 項記載の半導体装置。

【請求項 6】 さらに、前記活性領域ダミーの上に形成されたゲート電極ダミーを有する請求項 1 または 2 記載の半導体装置。

【請求項 7】 前記所定領域は、所定の半径の領域である請求項 1 ～ 7 のいずれか 1 項記載の半導体装置。

【請求項 8】 さらに、各々がビア導電体と配線パターンとを含む複数の配線層を有し、前記フューズ回路が前記ビア導電体と前記配線パターンと同一の層から形成されたガードリングで取り囲まれている請求項 1～7 のいずれか 1 項記載の半導体装置。

【請求項 9】 主表面を有する半導体基板と、
前記主表面上方に形成され、所定の切断点を有するフューズ素子を含むフューズ回路と、
前記フューズ回路下方の前記半導体基板表面に形成された第 1 トレンチアイソレーション領域と、
前記第 1 トレンチアイソレーション領域を貫通して形成された複数の活性領域ダミーと、
前記活性領域ダミーの半導体表面を覆う絶縁膜と、
を有する半導体装置。

【請求項 10】 さらに前記フューズ素子外の領域において前記半導体基板表面に形成された第 2 トレンチアイソレーション領域と、
前記第 2 トレンチアイソレーション領域を貫通して形成された活性領域と、
前記活性領域の表面を横断して形成された絶縁ゲート電極と、前記絶縁ゲート電極両側で前記活性領域に形成されたソース／ドレイン領域と、前記ソース／ドレイン領域表面に形成されたシリサイド層と、を備えた MOS トランジスタを含む主回路と、
を有し、前記活性領域ダミーの半導体表面はシリサイド層を有さない請求項 9 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、特に電気回路としては機能しないダミー構造とフューズ回路を有する半導体装置に関する。ダミー構造としては活性領域ダミー、ゲート電極ダミー等がある。

【0002】

【従来の技術】

近年、半導体集積回路装置の集積度の向上に伴い、素子分離技術としてLOCOS (local oxidation of silicon) に代って平坦性に優れたSTI (shallow trench isolation) が採用されるようになった。ゲート長は益々短くなり、ゲート電極のパターニングには高い加工精度が要求される。

【0003】

例えば、シリコン基板上に、バッファ酸化シリコン膜、窒化シリコン膜を形成し、活性領域を画定する素子分離領域の形状を有する開口を形成する。窒化シリコン膜をマスクとし、シリコン基板をエッチングして素子分離用溝（トレンチ）を形成する。

【0004】

酸化シリコン膜等の絶縁層を堆積し、素子分離用溝を埋め込む。窒化シリコン膜上に堆積した不要な絶縁膜を化学機械研磨（chemical mechanical polishing、CMP）で除去する。（トレンチアイソレーション型素子分離領域を備え、平坦な表面を有するシリコン基板が得られる。

【0005】

窒化シリコン膜のマスクを除去し、必要なイオン注入を行なった後、活性領域表面にゲート酸化膜、多結晶シリコン膜を形成し、ホトレジストパターンを用いた異方性エッチングによりゲート電極（及びワード線）をパターニングする。高精度のパターニングにより、ゲート長の短いゲート電極が形成される。

【0006】

ゲート電極両側にエクステンション領域用のイオン注入を行なった後、酸化シリコン膜等の絶縁膜を堆積し、異方性エッチングを行なってサイドウォールスペーサを形成する。ゲート電極及びサイドウォールスペーサをマスクとし、高濃度のソース／ドレイン領域用のイオン注入を行う。アニーリングを行い、イオン注入した不純物を活性化する。

【0007】

ゲート電極及びソース／ドレイン領域の抵抗を低減したい場合には、さらにシリコン基板表面上にCo等のシリサイド化可能な金属層を堆積し、シリサイド化

反応を行って露出しているシリコン表面にシリサイド層を形成する。

【0008】

その後、ゲート電極を埋め込む層間絶縁膜を堆積する。ゲート電極等に基づく表面の凹凸をCMPを行って平坦化する。電極引き出し用のコンタクト孔を異方性エッチングにより形成する。ローカル配線用溝を同時に形成してもよい。Ti層、TiN層、W層等の金属層を堆積し、コンタクト孔を埋め込む。層間絶縁膜表面上に堆積した不要の金属層をCMP等により除去する。このようにして、半導体素子の電極を上部に引き出すコンタクトプラグが形成される。その後、必要な上層配線及び層間絶縁膜を形成する。

【0009】

STI作成工程において、素子分離領域の分布に大きなバラツキがあると、太幅の溝に埋め込まれた酸化シリコン膜中央部が他より早く研磨されてしまうディッシングが生じる。又、太幅の溝にはされなかった細幅の活性領域や、細幅の活性領域が密集している領域においては、CMPが窒化シリコン膜で停止せず、活性領域が研磨されてしまうエロージョンが生じる。

【0010】

このような現象により、基板表面の平坦性が失われると、その後の上層に対するリソグラフィ工程に影響を与える。高精度のホトリソグラフィーは、下地表面が平坦なことを要求する。表面に凹凸があると、ホトリソグラフィにおける像転写精度が低下してしまう。表面の平坦性を確保するためには、素子分離領域によって画定される活性領域の他、活性領域ダミーを配置することが望まれる。

【0011】

シリコン基板表面上のゲート電極は、集積度が高く、最も高い加工精度が必要とされる。ゲート電極のエッチングにおいてエッチング対象領域の分布にバラツキがあると、エッチレートにバラツキを生じてしまう。ゲート電極の分布を均一化させるため、ゲート電極ダミーを形成することが望まれる。

【0012】

このようなダミーパターンは、設計時の負担を軽減するため、一般的にある規則に従うデータ処理により、自動的に発生される。ダミー構造を形成することに

より新たな課題が生じることもある。

【0013】

一方、一層の高集積化が進む半導体装置において、高い歩留まりを確保することはますます困難になってきている。そのため、冗長回路を用意し、一部の不良回路を冗長回路で置き換え、不良のある半導体装置を救済することが一般的に行われている。冗長回路への置き換えを行うため、フューズ回路が用いられる。

【0014】

フューズ素子は切断対象外のフューズ素子が誤って切断されないように、レーザー光の光径に対して適切に設計する必要がある。そのため、フューズ素子はレーザー光の光径に依存した比較的大きな領域を必要とする。

【0015】

さらに冗長回路の規模が大きくなり、それに伴いフューズ素子の数が増加した場合、半導体装置内に占めるフューズ回路の面積が大きくなる。ガードリングGR内部にも、通常の回路部と同様に平坦化目的のダミーパターンDPの挿入が必要になる。

【0016】

前述のように、活性領域ダミーやゲート電極ダミーのパターンは通常自動発生される。フューズ回路内のダミーパターンも例外ではない。フューズ回路内にダミーパターンを配列すると、フューズ切断工程のマージンが低下したり、基板にダメージを与えることもある。

【0017】

フューズ回路の下方にタンゲステン等のブロック層を設ける提案もある。フューズはレーザーアブレーションにより切断する。ブロック層はレーザーアブレーションを制御性よく停止する。

【0018】

【特許文献1】

特開平11-345880号公報

【0019】

【発明が解決しようとする課題】

本発明の目的は、フューズ回路にも、ダミー構造を設け、平坦性と線幅制御性を維持しつつ、かつ切断マージン低下や基板ダメージを回避することのできる半導体装置を提供することである。

【0020】

【課題を解決するための手段】

本発明の1観点によれば、主表面を有する半導体基板と、前記主表面上方に形成され、所定の切断点を有するフューズ素子を含むフューズ回路と、前記フューズ回路下方の前記半導体基板表面に形成された第1シャロートレンチアイソレーション領域と、前記切断点を中心とした所定領域を除外して、前記第1シャロートレンチアイソレーション領域を貫通して形成された複数の活性領域ダミーと、を有する半導体装置が提供される。

【0021】

本発明の他の観点によれば、主表面を有する半導体基板と、前記主表面上方に形成され、所定の切断点を有するフューズ素子を含むフューズ回路と、前記フューズ回路下方の前記半導体基板表面に形成された第1シャロートレンチアイソレーション領域と、前記第1シャロートレンチアイソレーション領域を貫通して形成された複数の活性領域ダミーと、前記活性領域ダミーの半導体表面を覆う絶縁膜と、を有する半導体装置が提供される。

【0022】

【発明の実施の形態】

先ず、本発明者等の開発に従い判明した状況を説明する。まず、ダミー領域形成工程の例を説明する。

【0023】

図9(A)に示すように、シリコン基板1表面上に、900℃の塩酸酸化により、酸化シリコン膜2を厚さ約10nm成長する。酸化シリコン膜2の上に、化学気相堆積(CVD)により、窒化シリコン膜3を厚さ約110nm成膜する。

【0024】

窒化シリコン膜3の上にレジストパターンを形成し、異方性エッチングにより窒化シリコン膜3、酸化シリコン膜2をエッチングする。その後レジストパター

ンは除去する。次に、窒化シリコン膜 3 をマスクとして、シリコン基板 1 の異方性エッチングを行なう。シリコン基板表面層をエッチングし、例えば、深さ約 300 nm のトレンチを形成する。

【0025】

図 9 (B) に示すように、トレンチを形成したシリコン基板上に、CVD により酸化シリコン膜 4 を厚さ約 500 nm 成膜する。窒化シリコン膜 3 をストップとして、窒化シリコン膜 3 上に堆積した不要の酸化シリコン膜 4 を CMP により除去する。トレンチアイソレーションが形成される。活性領域ダミーを形成することにより、素子分離領域を均一化することができ、ディッシングやエロージョンを低減することができる。

【0026】

図 9 (C) に示すように、熱燐酸溶液を用い、窒化シリコン膜 3 を除去する。酸化シリコン膜 2 も弗酸溶液により除去してもよい。この場合は、新たに酸化シリコン膜 2' を厚さ約 10 nm 程度 900 °C の塩酸酸化により成長する。シリコン基板 1 表面上に、n チャネル領域、p チャネル領域を分離するレジストマスクを形成し、それぞれ別箇のイオン注入を行ない、ウエル領域を形成する。

【0027】

例えば、ドーズ量約 $1 \times 10^{13} \text{ cm}^{-2}$ 程度の不純物をイオン注入する。このようにして、n ウエル 6、p ウエル 5 を作成する。その後、イオン注入に用いた酸化シリコン膜 2' を除去する。

【0028】

図 10 (D) に示すように、露出したシリコン表面に熱酸化により、厚さ約 1 nm のゲート酸化膜 7 を成長する。ゲート酸化膜 7 の上に、多結晶シリコン層 8 を CVD により厚さ約 110 nm 成膜する。多結晶シリコン層 8 の上に、ゲート電極のパターンを有するレジストパターン PRG を形成する。ゲート電極ダミーのパターンも含まれる。レジストパターン PRG をマスクとし、多結晶シリコン層 8 のエッチングを行なう。活性領域上にゲート電極が形成される。活性領域ダミー上に、ゲート電極ダミーが形成される。

【0029】

孤立したゲート電極と密集したゲート電極とが混在すると、孤立したゲート電極は過度にエッチングされ易い。ゲート電極ダミーを配置することにより、ゲート電極のエッチングを均一化することができる。続いて、pチャネル領域、nチャネル領域別箇に、例えば、ドーズ量約 $1 \times 10^{14} \text{ cm}^{-2}$ のイオン注入を行ない、エクステンション領域Eを形成する。

【0030】

図10(E)に示すように、基板表面上に、酸化シリコン層9をCVDにより厚さ約100nm成膜する。酸化シリコン膜9に対し異方性エッチングを行ない、平坦な表面上の酸化シリコン膜9を除去する。ゲート電極8の側壁上に、酸化シリコン膜9が残り、サイドウォールスペーサを形成する。

【0031】

図10(F)に示すように、nチャネル領域、pチャネル領域別箇に高濃度の不純物イオン注入を行ない、例えば、ドーズ量約 $1 \times 10^{15} \text{ cm}^{-2}$ の不純物をイオン注入し、高濃度のソース／ドレイン領域S／Dを形成する。イオン注入後、約1050℃のラピッドサーマルアニール(RTA)を行うことにより、イオン注入された不純物を活性化する。

【0032】

次に、基板1表面上に、スパッタリングによりコバルト膜10を、例えば厚さ5nm成膜する。850℃程度でアニールを行うことにより、ゲート電極8表面上及び露出しているソース／ドレイン領域S／D表面上にコバルトシリサイド層を形成する。

【0033】

図11(G)に示すように、コバルトシリサイド層10xを形成した後、未反応の金属層を除去し、窒化シリコン膜11を厚さ約40nmCVDにより成膜する。窒化シリコン膜11上に、酸化シリコン膜12を厚さ約650nm成膜する。酸化シリコン膜12表面を、CMPにより平坦化した後、その表面上にレジストパターンPRLを形成し、コンタクト孔を異方性エッチングにより形成する。エッチング後ホトレジストパターンPRLは除去する。

【0034】

図11(H)に示すように、コンタクト孔を形成した基板表面上にチタン膜、窒化チタン膜をそれぞれ厚さ約10nmずつCVDにより成膜し、さらにタンゲステン膜をCVDにより厚さ約200nm成膜する。コンタクト孔は、積層金属層13のコンタクトプラグにより埋め戻される。酸化シリコン膜12表面上に堆積した不要な金属層は、CMPにより除去する。コンタクトプラグと共にローカル配線を形成してもよい。このようにして、図中右側にMOSトランジスタが形成されると共に、図中左側にダミー構造が形成される。

【0035】

図11(I)は、このようにして形成されるダミー構造の構成を概略的に示す。素子分離領域4を貫通して、活性領域ダミー18が形成される。活性領域ダミーの上にゲート電極ダミー19が形成される。

【0036】

以上説明した例においては、活性領域ダミー、ゲート電極ダミーが積層されて積層ダミー構造を形成した。活性領域ダミーとゲート電極ダミーとを同一位置に作成することにより、寄生容量を均一化し、ウエル間の短絡を防止することが容易になった。積層ダミーの構造は、上述のものに限らない。また、活性領域ダミーとゲート電極ダミーの一方のみを設けてもよい。

【0037】

図12は、フューズ回路の平面構成の例を示す。ガードリングGRで囲まれたフューズ領域内に、複数のフューズFが形成されている。フューズFの下方には、ダミーパターンDPが配列されている。ダミーパターンは、図11(I)に示したような、活性領域ダミー、ゲート電極ダミー、又はこれらの積層である。ダミーパターンの下方には、n型ウエルNWが形成されている。フューズ素子Fの所定の位置BPにレーザ光を照射し、フューズFを切断する。フューズFは、例えばアルミニウムやタンゲステンによって形成されている。

【0038】

多層配線の場合、下層の配線材料としてはCuが用いられることが一般的になった。最上層の配線にアルミニウムやタンゲステンを用いる場合、フューズFは最上層配線と共に形成される。ダミーパターンDPが自動設計により配列され

、フューズFがダミーパターンDPとは別箇に設計されると、フューズFの下方のダミーパターンDPは、フューズ毎に異なる配置を取る。図中、上方のフューズFと下方のフューズFとは、切断点BP近傍のダミーパターンDPの配列が異なる。

【0039】

切断点直下におけるダミーパターンDPの配置状態が異なると、切断点直下の状態が異なることになる。レーザ光照射時のフューズ切断の具合に影響を与え、マージンの小さい不安定なプロセスになってしまう。

【0040】

例えば、切断点直下にダミーがあるかないかで、半導体基板表面でのレーザ光の反射が異なり、最適な切断条件に違いが生じる。切断点直下にポリシリコンゲート電極ダミーが配置されたり、シリサイド化された活性領域ダミーが配置された場合は、レーザ光の反射に影響するのみでなく、ダミーパターンDPがレーザ光を吸収し、半導体基板にダメージを与える場合もある。

【0041】

以下、本発明の実施例を説明する。

図1は、本発明の第1の実施例による半導体装置の平面構成を示す。半導体装置が11層の多層配線を有する場合を例に取る。図中、上方には主回路領域MCが配置され、図9(A)～11(H)を参照して説明したようなMOSトランジスタや活性領域ダミー18、ゲート電極ダミー19が形成されている。多層配線と同一の金属層を用い、ループ状のガードリングGRがフューズ回路領域を囲んで形成されている。

【0042】

フューズ回路領域にも、活性領域ダミー18が配列されている。最上層の第11配線層M11Lによって、フューズ素子Fが形成され、活性領域ダミー18上方で、フューズ回路領域を横断して配置されている。

【0043】

フューズ素子Fには、切断点BPが設定されている。切断点BPを中心として、直径 $X + 2\alpha$ の領域には、活性領域ダミー18が形成されていない。ここで、

Xはレーザ光のスポット径（直径）であり、 α はレーザ光のスポットとフューズの切断点BPとの位置ずれ量である。

【0044】

すなわち、切断点BPにレーザ光の中心が配置されると、その周囲半径 $X/2$ の領域にレーザ光が照射される。レーザ光の中心が α ずれると、レーザ光の照射され得る領域は、半径 $X/2 + \alpha$ （直径 $X + 2\alpha$ ）となる。レーザ光の照射され得る領域には活性領域ダミー18は配置されない。例えば、切断点BPから半径 $2\mu\text{m}$ 以内の範囲には活性領域ダミー18が配列されない。

【0045】

図2は、図1のII-II線に沿うフューズ装置の断面構成を示す。

シリコン基板1の表面にシャロートレンチアイソレーション（STI）による素子分離領域4が形成されている。フューズ回路領域においても、素子分離領域4を貫通する活性領域ダミー18が設けられている。活性領域ダミー18の表面には、シリサイド層10xが形成されている。シリサイド層10xを覆うように、窒化シリコン層11が形成されている。

【0046】

窒化シリコン層11の表面上に、酸化シリコン層等の層間絶縁膜12が形成されている。層間絶縁膜12、窒化シリコン層11を貫通して、コンタクトプラグ13が形成されている（図11（H））。なお、ガードリングにおいては、コンタクトプラグ13作成と同一工程により、リング状のガードリング17が形成されている。

【0047】

コンタクトプラグ13、ガードリング17を覆って、層間絶縁膜12表面上に、SiNやSiC等のCu拡散防止兼エッチストップ層20が例えば厚さ約50nm形成される。拡散防止兼エッチストップ層20の上に、酸化シリコンや登録商標SiLK等の絶縁層21が例えば厚さ約500nm形成される。絶縁層21の表面には、再びSiNやSiC等で形成されたハードマスク層22が厚さ約50nm積層される。ホトレジスト工程を用いた異方性エッチングにより、ビア孔や配線用トレンチを形成する。ホトレジストパターンを除去し、TaN等のバリ

アメタル層、Cuのシードメタル層をスパッタリングした後、メッキによりCu等の金属材料層を埋め込む。

【0048】

ハードマスク層22表面上の不要な金属層は、CMPにより除去する。このようにして、第1配線層M1Lが形成される。第1配線層M1L形成後、半導体基板表面にSiNやSiC等のCu拡散防止兼エッチングストッパ層23を厚さ約50nm形成する。同様の構成により、第2配線層～第4配線層M2L～M4Lを形成する。

【0049】

第4配線層M4Lを形成した後、その上に、SiN等のCu拡散防止層24を厚さ約70nm、酸化シリコンやSiOC等の絶縁層25を厚さ約330nm、SiNやSiC等のエッチストッパ層26を厚さ約30nm、酸化シリコンやSiOC等の絶縁層27を厚さ約350nm積層する。この積層絶縁積層内に配線用トレンチ、ビア孔を形成する。続いて、Ta₂N₅等のバリアメタル層、Cu等のシードメタル層をスパッタリングした後、メッキによりCu等の金属材料層を埋め込む。絶縁層表面上の不要な金属層をCMPにより除去する。このようにして第5配線層M5Lが形成される。同様の構成により、第6配線層～第8配線層M6L～M8Lを形成する。

【0050】

第8配線層M8Lを形成した後、その上に、SiNやSiCのCu拡散防止層29を厚さ約70nm、酸化シリコンやSiOC等の絶縁層30を厚さ約530nm、SiNやSiCのエッチングストッパ層31を厚さ約20nm、酸化シリコンやSiOC等の絶縁層32を厚さ約850nm積層する。

【0051】

積層絶縁層に配線用トレンチ、ビア孔を形成する。続いてTa₂N₅等のバリアメタル層、Cuシードメタル層をスパッタリングした後、メッキにより金属材料層を埋め込む。絶縁層表面上の不要な金属材料層をCMPにより除去する。このようにして第9配線層M9Lが形成される。同様の構成により、第10配線層M10Lが形成される。

【0052】

第10配線層M10Lの上に、SiNやSiCのCu拡散防止層35を厚さ約70nm、酸化シリコン等の絶縁層36を厚さ約600nm積層する。これらの絶縁層を貫通して、導電体38が埋め込まれる。さらに、必要に応じてSiC、SiN等の絶縁層39を介して、アルミ等の電極層41が例えば厚さ1170nm堆積され、レジストパターンを用いた異方性エッチングにより第11配線層M11Lが形成される。第11配線層M11Lを覆い、酸化シリコン層37、SiN層40等が積層される。酸化シリコン層37、SiN層40の所要部を除去し、パッド電極及びフューズ切断部を露出する開口を形成する。

【0053】

本実施例においては、フューズ回路領域内に活性領域ダミー18が形成され、活性領域ダミーの表面にはシリサイド層10xが形成されている。しかし、フューズ切断点BPの周囲、半径 $X/2 + \alpha$ の領域には活性領域ダミー18は配置されない。従って、活性領域ダミーによって、レーザ照射の最適条件が変化することも、基板にダメージを与えることもない。

【0054】

図3、図4は、第1の実施例の変形例を示す。図3は平面図、図4は、図3の構成のIV-IV線沿う断面である。第1の実施例においては、各フューズFの切断

点BPを中心とした直径 $X + 2\alpha$ の領域には、活性領域ダミーを形成しなかったが、図2に示すように、活性領域ダミー18の表面には、シリサイド層10xが形成されていた。

【0055】

本変形例においては、各活性領域ダミー18の表面を絶縁層9で覆う。絶縁層9で覆われることにより、活性領域ダミー18の表面はシリサイド化されない。従って、フューズ切断工程におけるダミー配置による影響はより低い。その他の点は第1の実施例同様である。

【0056】

図5、図6は、本発明の第2の実施例による半導体装置の構成を示す。図5は

平面図、図6は、図5のV-V線に沿う断面図である。

本実施例においては、ダミーパターンが活性領域ダミー18とゲート電極ダミー19との積層によって形成されている。積層ダミー18、19は、フューズ素子Fの切断点BPを中心とした直径 $X+2\alpha$ の領域には配置されていない。ゲート電極ダミーを用いることにより、回路領域でのゲート電極のパターニングを精度を確保しつつ、フューズ領域においては切断点から所定範囲内にダミーパターンを配置しないことにより、切断時の切断マージンを確保すると共に、基板へのダメージを回避できる。その他の点は第1の実施例同様である。

【0057】

図7、図8は、本発明の第3の実施例による半導体装置を示す。図7は平面図、図8は図7のV I I I-V I I I線に沿う断面構成を示す。

本実施例においては、フューズ回路領域全域に活性領域ダミーが形成される。すなわち、活性領域ダミーは切断点BP直下にも配列される。フューズ回路領域において、活性領域ダミー18表面を覆うように、広い絶縁膜42が形成されている。絶縁膜42は、活性領域ダミー18の表面がシリサイド化されることを防止する。

【0058】

活性領域ダミー18には、シリコン基板表面が露出している。シリコン基板表面を酸化シリコン等の絶縁層42が覆っている。この構成は、STI下にシリコン基板が存在する構成と類似と考えられる。段差構造はあるが、レーザ光の反射に与える影響は限られたものであろう。切断点BP直下に活性領域ダミー18は存在するが、多結晶シリコン層やシリサイド層は存在しないため、レーザ光の吸収は限定されたものであり、動作マージンを確保し、基板へのダメージを低減することが可能である。

【0059】

以上実施例に沿って本発明を説明したが、本発明はこれらに限られるものではない。例えば、種々の変更、改良、組み合わせが可能なことは当業者にとって自明であらう。

【0060】

【発明の効果】

以上説明したように、本発明によれば、ダミー構造を配置しても、フューズ回路の切断特性に与える影響を低減することができる。又、基板にダメージを与える影響も低減できる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施例による半導体装置の一部平面図である。

【図 2】 本発明の第 1 の実施例による半導体装置の一部断面図である。

【図 3】 本発明の第 1 の実施例の変形例による半導体装置の一部平面図である。

【図 4】 本発明の第 1 の実施例の変形例による半導体装置の一部断面図である。

【図 5】 本発明の第 2 の実施例による半導体装置の一部平面図である。

【図 6】 本発明の第 2 の実施例による半導体装置の一部断面図である。

【図 7】 本発明の第 3 の実施例による半導体装置の一部平面図である。

【図 8】 本発明の第 3 の実施例による半導体装置の一部断面図である。

【図 9】 関連技術によるダミーパターン形成工程を示す断面図である。

【図 10】 関連技術によるダミーパターン形成工程を示す断面図である。

【図 11】 関連技術によるダミーパターン形成工程を示す断面図である。

【図 12】 関連技術によるフューズ素子の配置を示す平面図である。

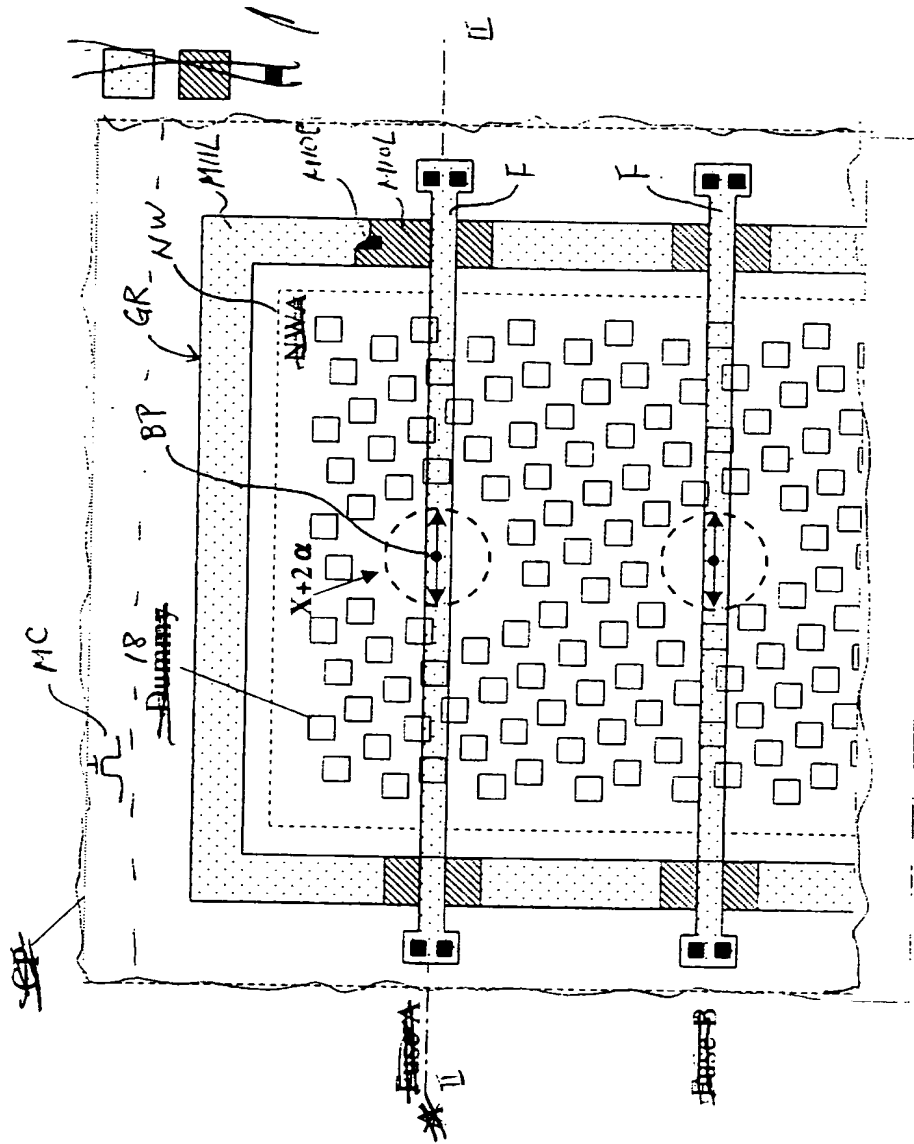
【符号の説明】

- 1 シリコン基板
- 2 バッファ酸化シリコン膜
- 2' 酸化シリコン膜
- 3 窒化シリコン膜
- 4 酸化シリコン膜
- 5 p ウエル
- 6 n ウエル
- 7 ゲート酸化膜
- 8 多結晶シリコン膜

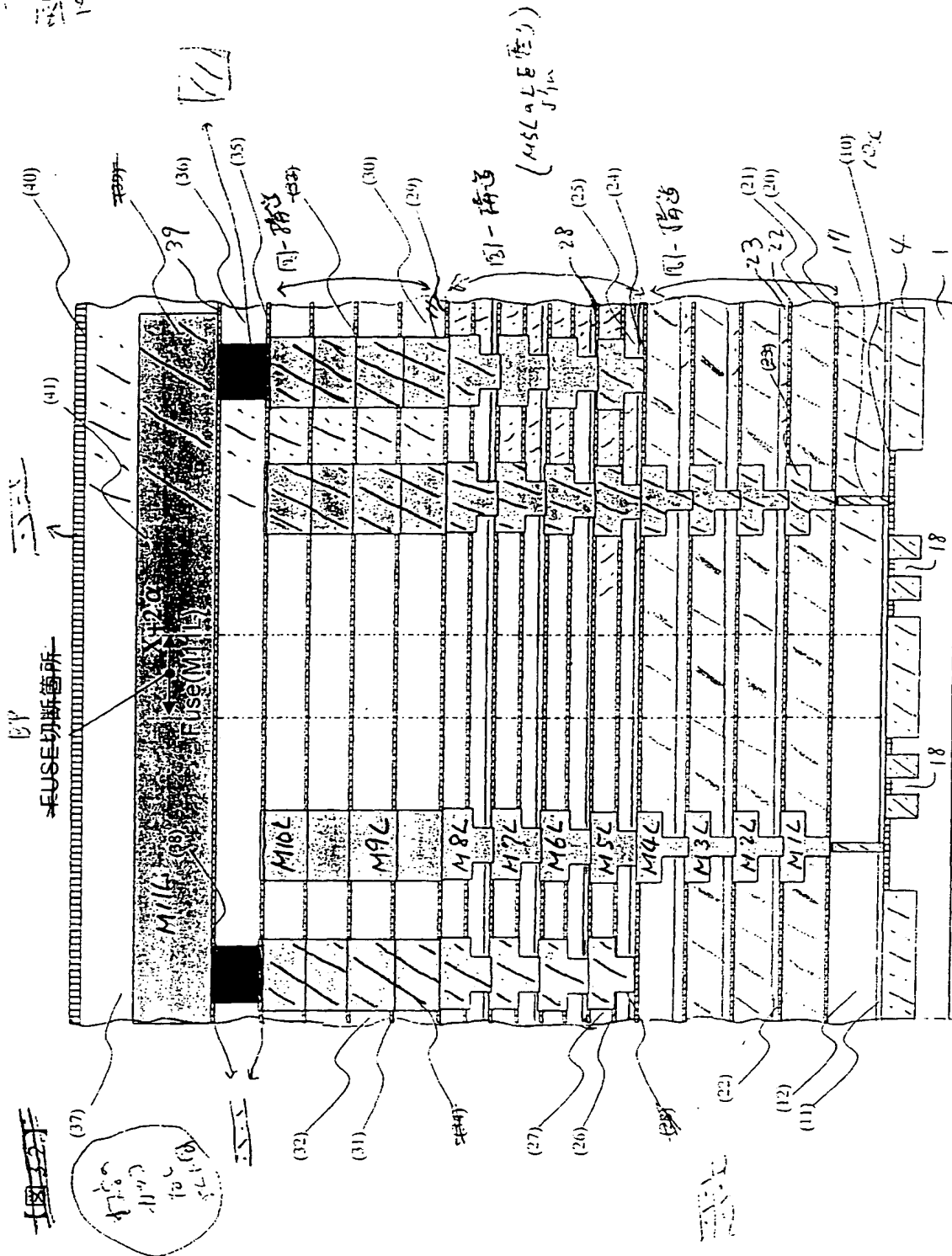
9	サイドウォールスペーサ
1 0	コバルト膜
1 0 x	コバルトシリサイド膜
1 1	窒化シリコン膜、
1 2	層間絶縁膜（酸化シリコン膜）
1 3	金属積層（ローカル配線）
1 8	活性領域ダミー
1 9	ゲート電極ダミー
F	フューズ素子
Mi L	第i金属配線層
B P	切断点
G R	ガードリング
MC	主回路
NW	n ウエル

【書類名】 図面

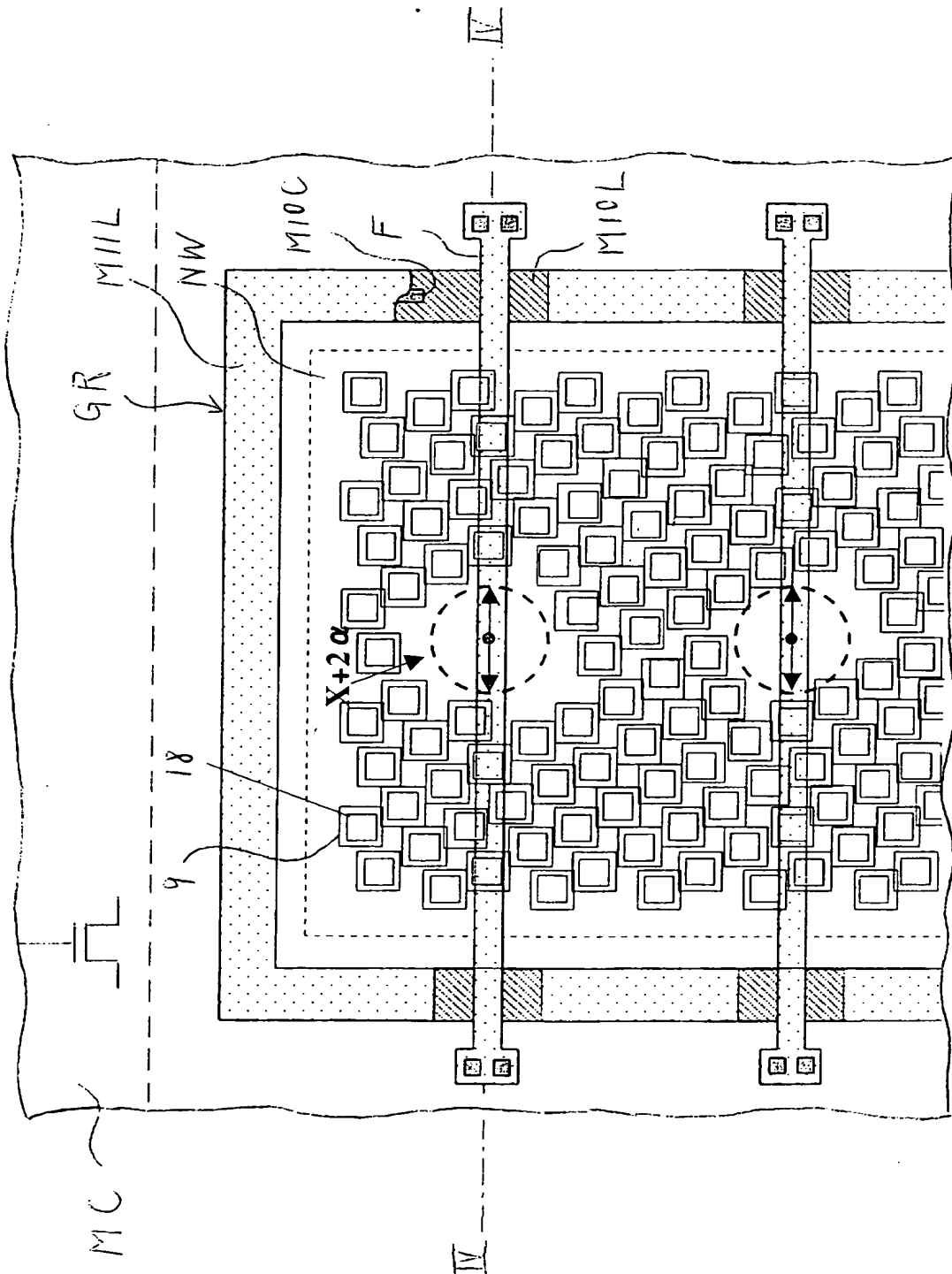
【図 1】



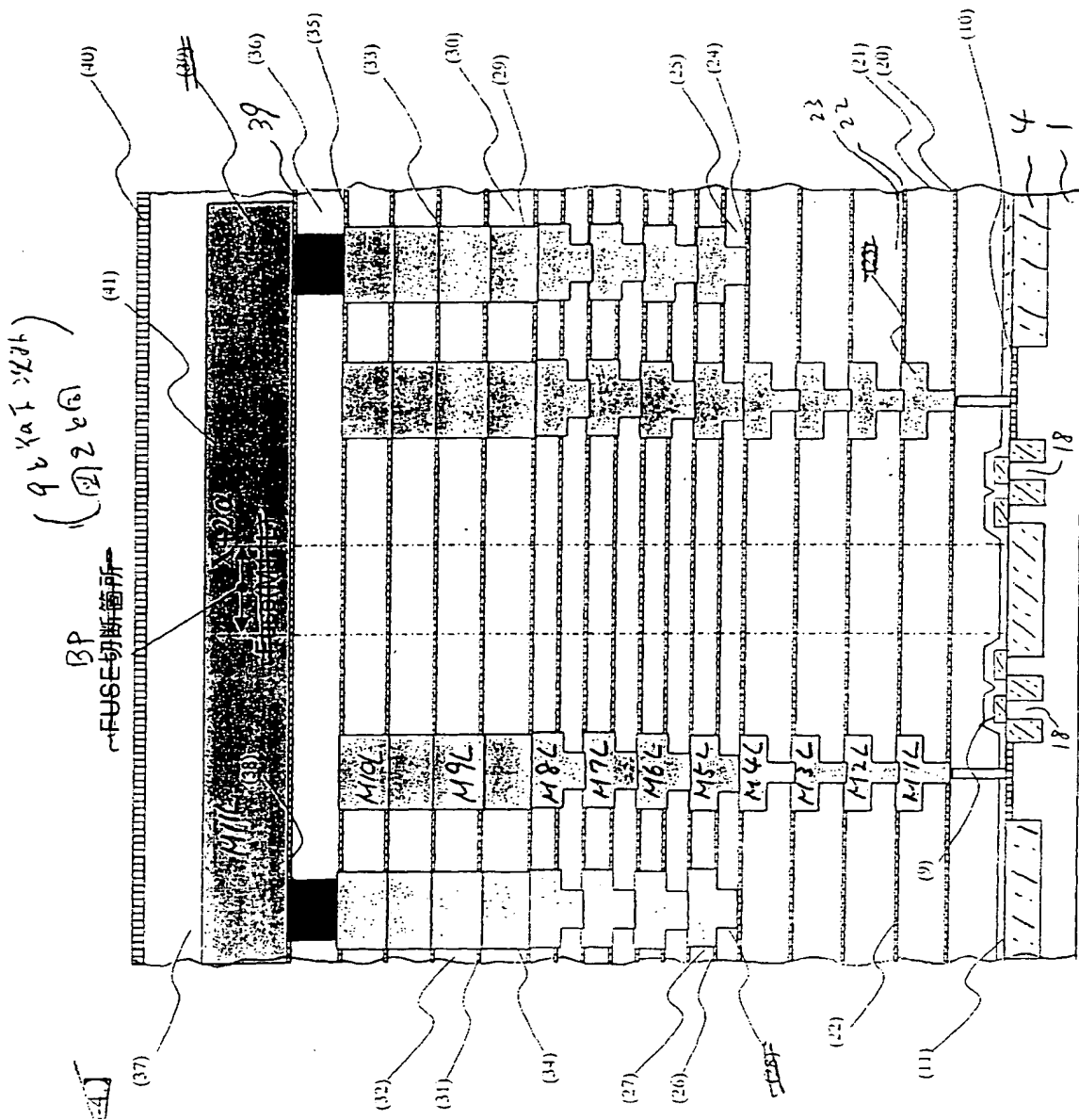
【図 2】



【図 3】

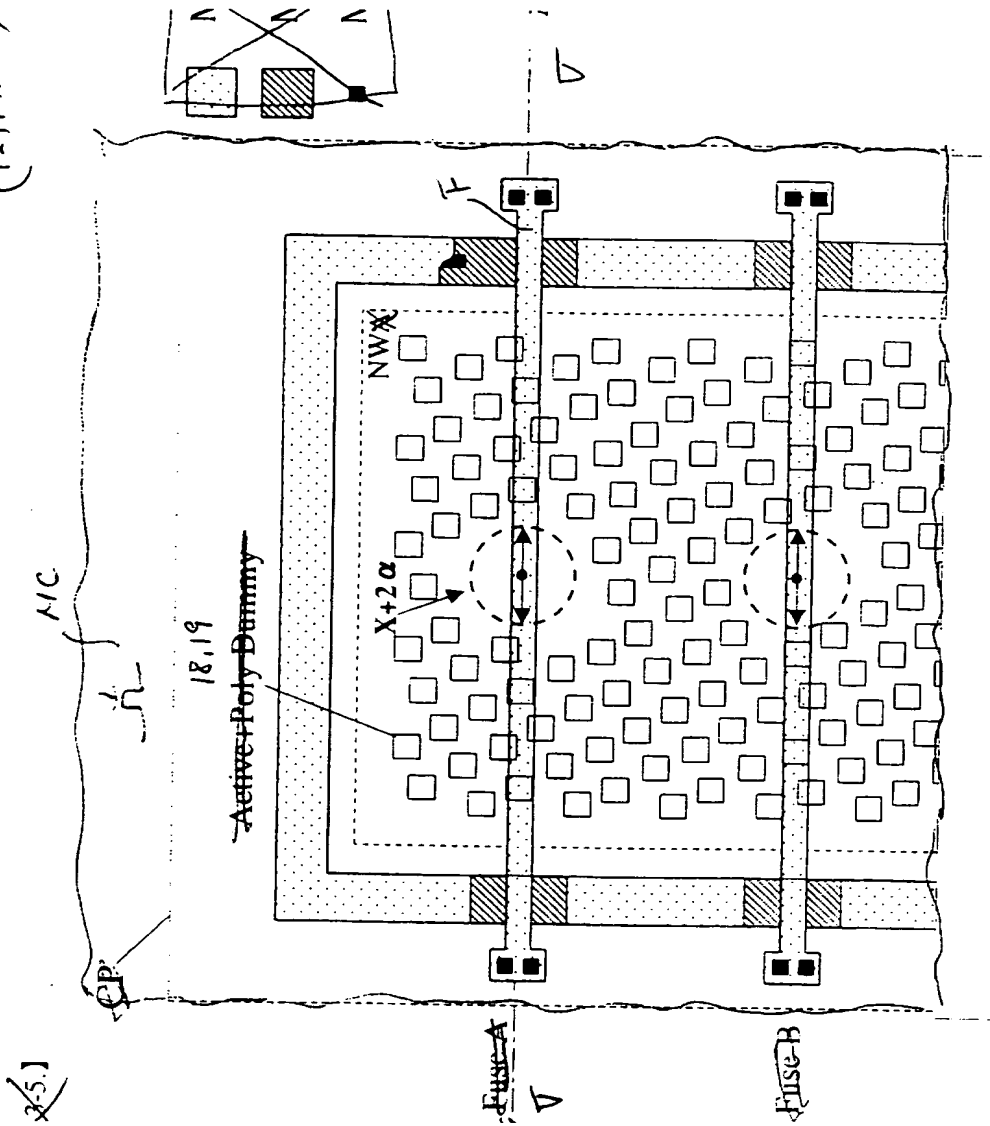


【図 4】

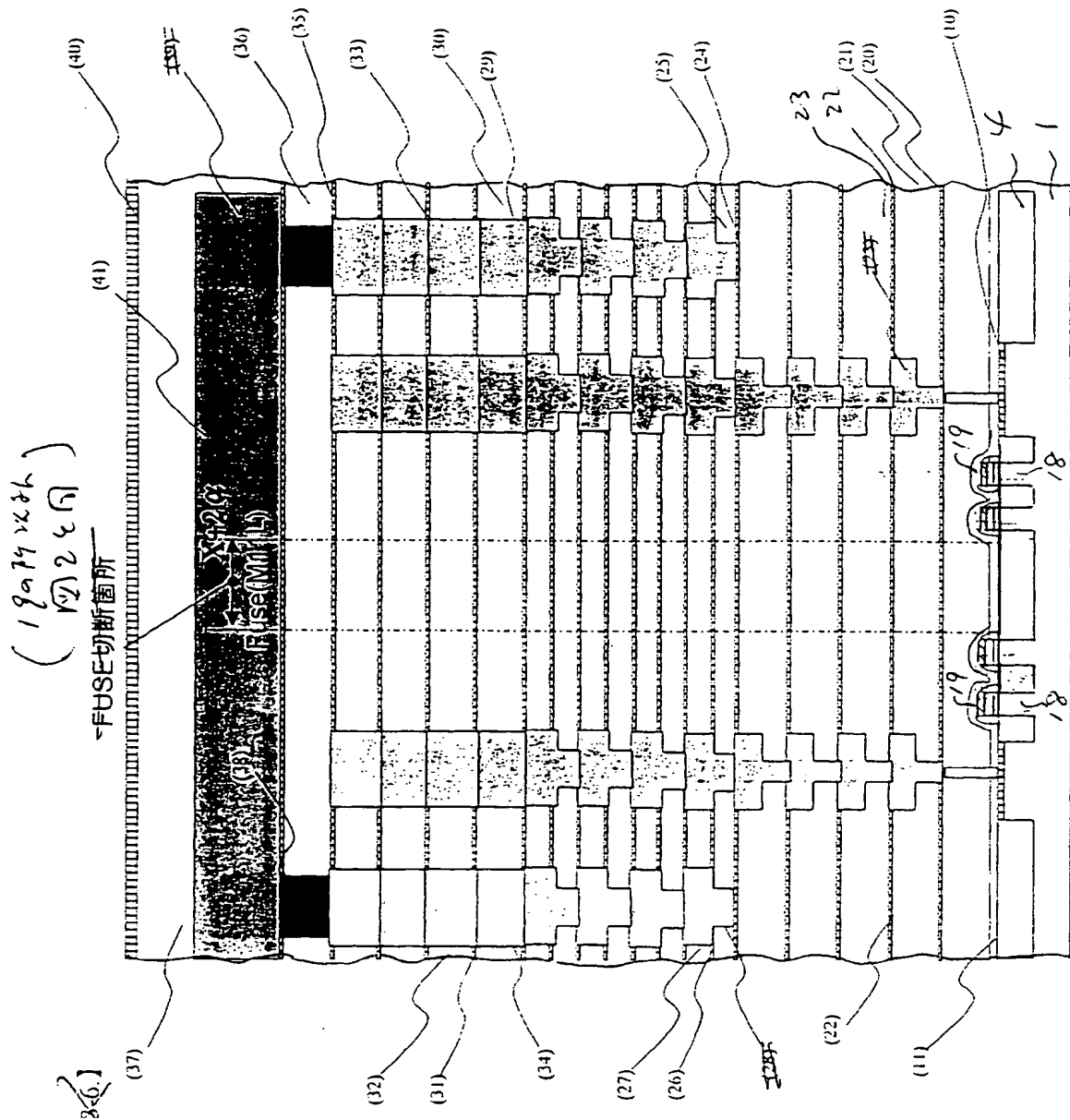


【図5】

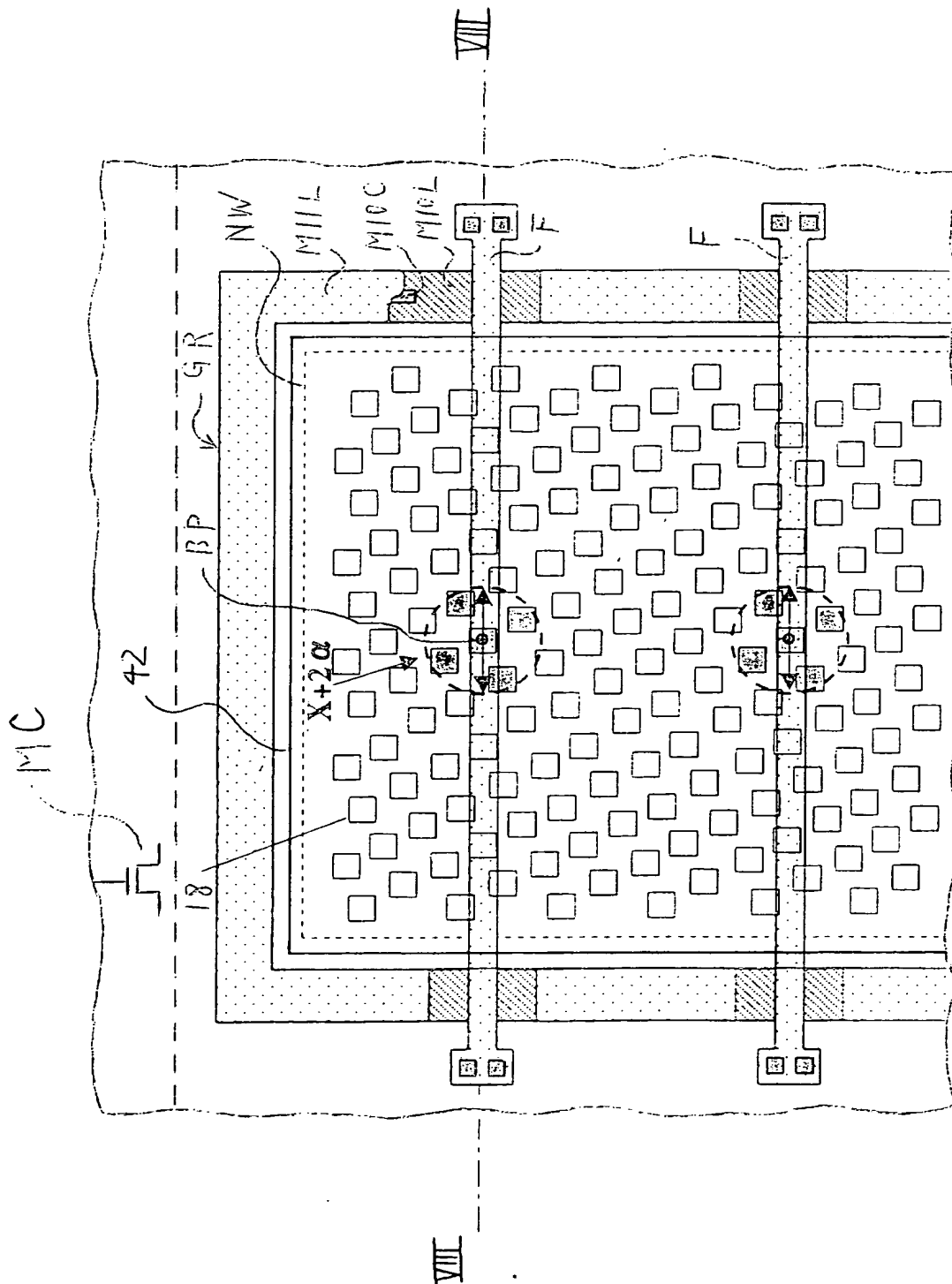
(図1参照)



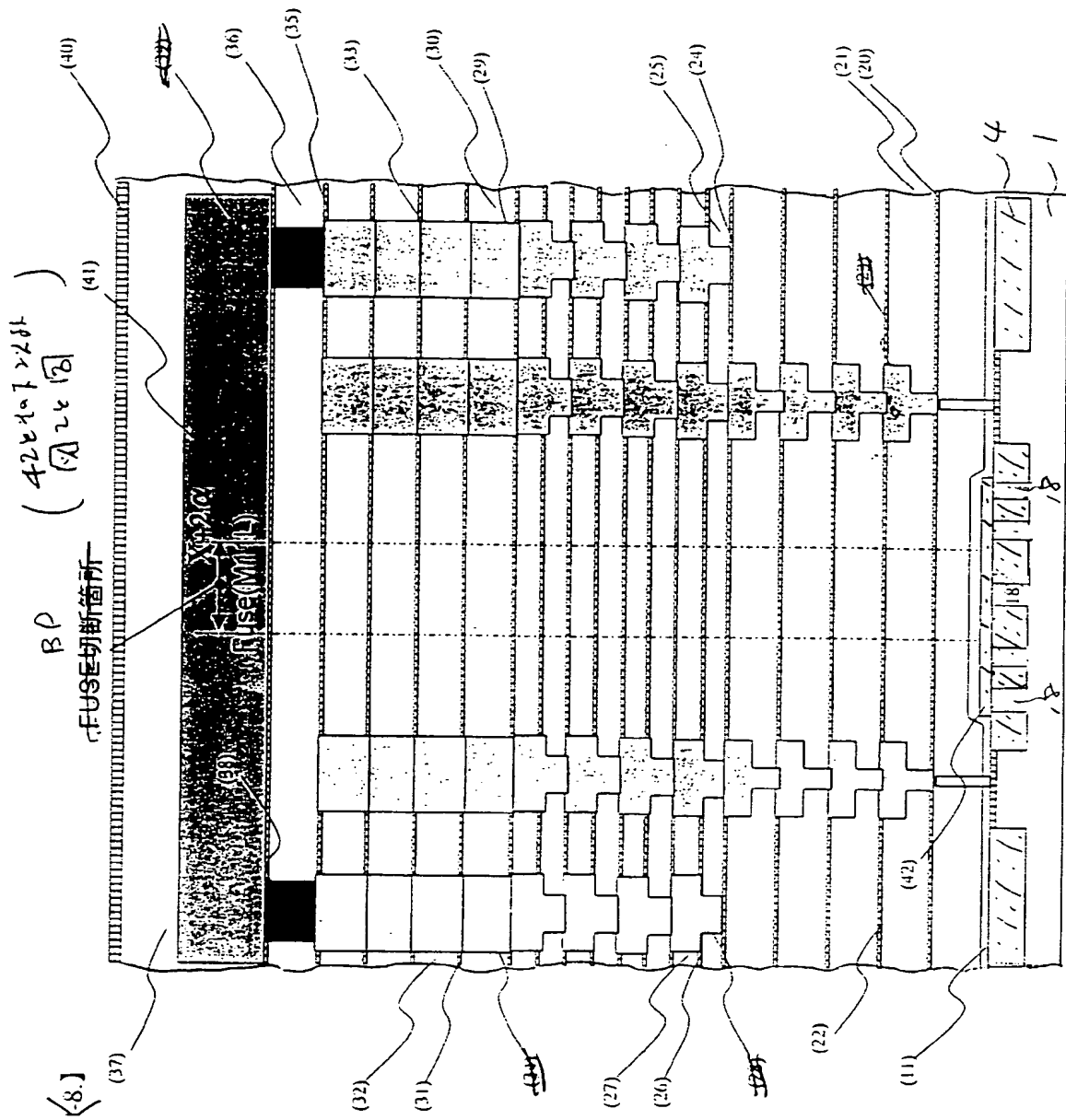
【図6】



【図7】

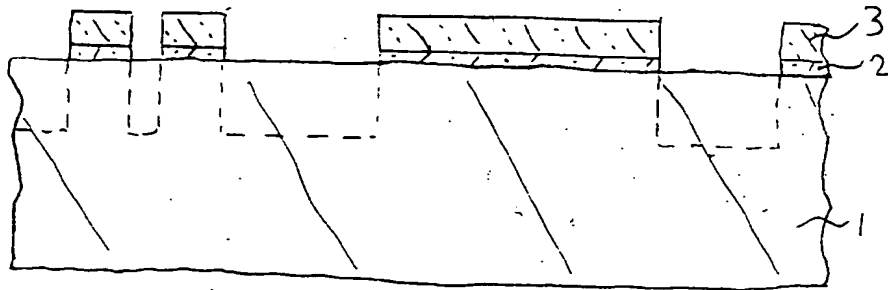


【図8】

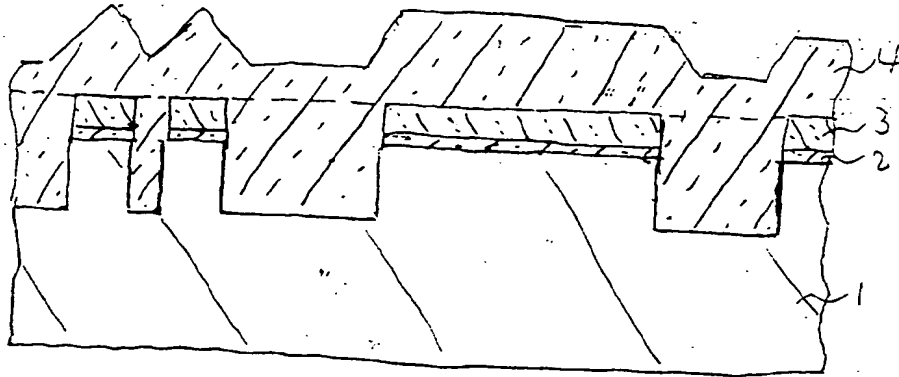


【図 9】

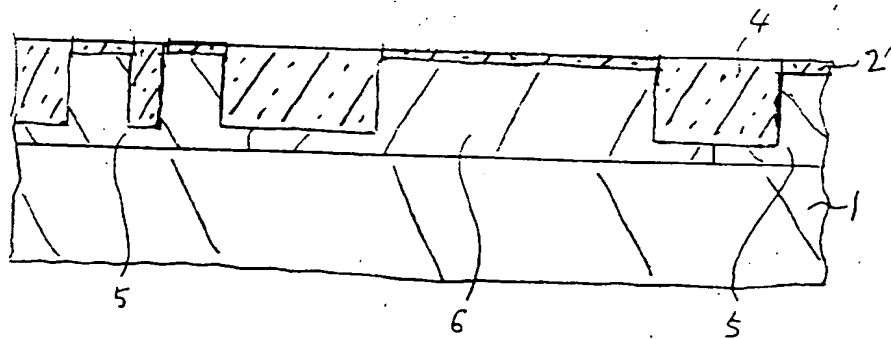
(A)



(B)

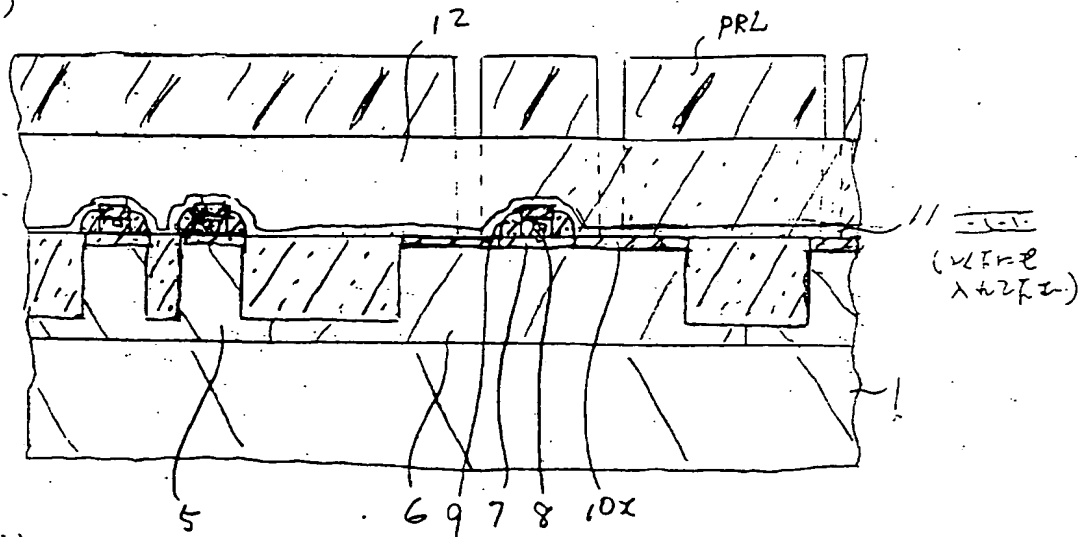


(C)

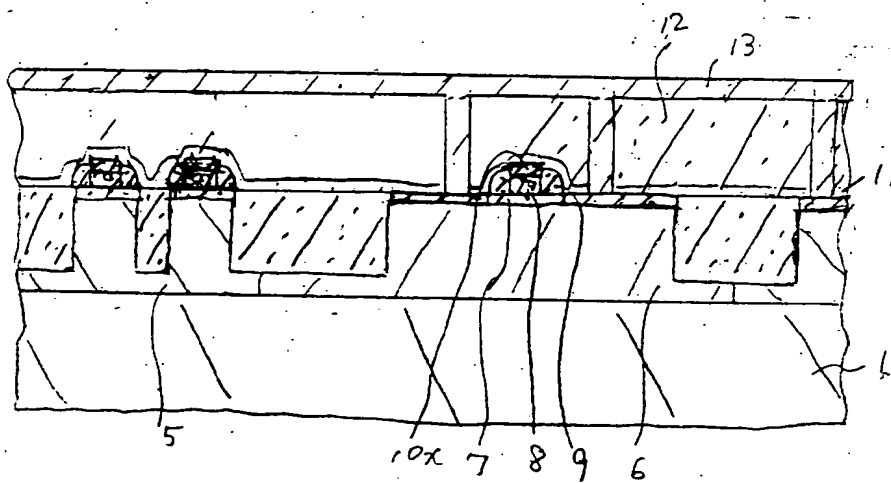


【図11】

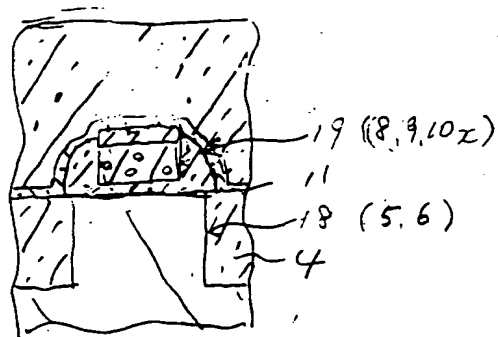
(G)



(H)



(I)



【書類名】 要約書

【要約】

【課題】 フューズ回路にも、ダミー構造を設け、平坦性と線幅制御性を維持しつつ、かつ切断マージン低下や基板ダメージを回避することのできる半導体装置を提供する。

【解決手段】 半導体装置は、主表面を有する半導体基板と、前記主表面上方に形成され、所定の切断点を有するフューズ素子を含むフューズ回路と、前記フューズ回路下方の前記半導体基板表面に形成された第1シャロートレンチアイソレーション領域と、前記切断点を中心とした所定領域を除外して、前記第1シャロートレンチアイソレーション領域を貫通して形成された複数の活性領域ダミーと、を有する。

【選択図】 図1

【書類名】 手続補正書
【整理番号】 0241357A
【提出日】 平成14年11月15日
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2002-318908
【補正をする者】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
【代理人】
 【識別番号】 100091340
 【弁理士】
 【氏名又は名称】 高橋 敬四郎
 【電話番号】 03-3832-8095
【手続補正 1】
 【補正対象書類名】 図面
 【補正対象項目名】 図 1
 【補正方法】 変更
 【補正の内容】 1
【手続補正 2】
 【補正対象書類名】 図面
 【補正対象項目名】 図 2
 【補正方法】 変更
 【補正の内容】 2
【手続補正 3】
 【補正対象書類名】 図面
 【補正対象項目名】 図 3
 【補正方法】 変更
 【補正の内容】 3

特願 2 0 0 2 - 3 1 8 9 0 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

- 1 . 変更年月日 1 9 9 0 年 8 月 2 4 日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区上小田中 1 0 1 5 番地
氏 名 富士通株式会社
- 2 . 変更年月日 1 9 9 6 年 3 月 2 6 日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名 富士通株式会社